

明 細 書

半導体装置

技術分野

- [0001] 本発明は、半導体装置に関し、特に、ウエハテスト時におけるプロービング、及び組立時におけるボンディングやバンピングによる機能素子へのダメージを生じさせることなく、面積縮小を図るための技術に関する。

背景技術

- [0002] 近年、半導体プロセスの技術向上は目覚しく、半導体集積回路の回路面積は年々縮小される傾向にあり、これに伴い半導体チップの面積も縮小されてきている。

半導体チップの面積が縮小されると、1ウエハあたりの製造数が増え、かつ歩留まりも上がる傾向があるので、着実にコストが下がる。

一方、半導体チップの表面には、検査や組立の際に外部と接続するために用いるパッドを備えなければならず、このパッドのサイズや配列には、検査時や組立時における個々の制約があるため、パッド配置領域の面積は、さほど縮小されていないのが現状である。

- [0003] よって、半導体チップの全面積に占めるパッド配置領域の割合が年々増加し、半導体チップの面積を縮小する際の妨げになっている。

特に、高機能を有する多ピン半導体チップにおいては、半導体集積回路の回路面積によらずに、パッドの配列のみによってチップサイズが決まってしまうパッド律則が起きてしまい、いかに半導体プロセスの技術向上が目覚しくとも、パッド配置領域の面積を縮小しない限り、多ピン半導体チップの面積の大幅な縮小は望めない。

- [0004] ここでパッド配置領域の面積に半導体チップの面積が左右されないようにする方法として、所定の回路素子形成領域上にパッドを配置する方法が特許文献1に開示されている。

特許文献1の方法では、機能素子上にパッドを配置するので、パッド下界面にウエハテスト時のプローブ針圧等による応力がかかり、半導体プロセスの微細化が進むにつれパッド下の機能素子がダメージを受け易くなる。このように特許文献1は信頼性

にかかわる重大な課題を有している。

- [0005] そこで特許文献1では、パッドの厚みを15000 Å程度まで十分に厚くし、プローブ針の針圧を従来の10g/pinから5g/pinへ下げることによって、上記応力によるダメージを回避している。

特許文献1:特開平11-307601号公報(第5頁、第一図)

発明の開示

発明が解決しようとする課題

- [0006] 現在の微細化された半導体プロセスにおいては、金属配線の厚みが約5000 Å程度なので、パッドの厚みにより上記応力によるダメージを回避することはできない。

また、近年は作業効率を上げるために、複数の半導体チップを同時にウエハテストすることが多いが、各半導体チップのパッドに各プローブ針を当てる動作を単一の機構で行う場合、各プローブ針圧にはばらつきがあり全てのプローブ針について最低限のプローブ針圧を確保しなければならないので、プローブ針圧を高めにはせざるを得ない。

- [0007] また不揮発性メモリを混載した半導体チップにおいては、メモリとその他ロジックとで測定装置が異なるので、測定装置別に複数回にわたってプローブ針圧による応力がかってしまう。

また、多ピン半導体チップに対応するため、プローブ針の針先形状がフラット形状からより接触面積の小さいホーニング形状へと変わってきているが、ホーニング形状においては応力が狭い範囲に集中してしまう。

- [0008] 以上のように、プローブ針圧によりパッド下の機能素子がダメージを受ける要因が多々あり、何ら対策を施さずに特許文献1の方法を適用することは到底できない。

そこで、本発明は、パッド下の機能素子が応力によるダメージを受けることなく、面積を縮小することができる半導体装置を提供することを目的とする。

課題を解決するための手段

- [0009] 上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に外部接続用の端子である複数のパッドを有する半導体装置であって、当該半導体装置の主面における、プローブ針によるプローブ検査時の加圧が許可された第1の領域に

プローブ検査及び組立の両方に用いる兼用パッドを有し、当該半導体装置の主面における、プローブ針によるプローブ検査時の加圧が禁止された第2の領域にプローブ検査には用いない組立用パッドを有することを特徴とする。

発明の効果

[0010] 課題を解決するための手段に記載した半導体装置によれば、プローブ針によるプローブ検査時の加圧が禁止された領域に組立用パッドを配列し、プローブ針によるプローブ検査時の加圧が許可された領域に兼用パッドを配列しているので、パッド下の機能素子が応力によるダメージを受けないようにしつつ、プローブ検査時の加圧を許可する領域及びパッドピッチ幅を従来よりも狭くすることができ、チップ面積を大幅に縮小することができる。

[0011] また、半導体装置において、前記兼用パッドはプローブ針による接続に適合し、且つ、組立に適合する形状を備え、前記組立用パッドは組立に適合する形状を備えることを特徴としてもよい。

また、半導体装置において、前記第1の領域は当該半導体装置の主面における外枠部分に相当し、前記兼用パッドが当該半導体装置の主面における外周に添って配列されていることを特徴としてもよい。

[0012] これらにより、組立用のパッドに比べてプローブ検査用のパッドが少なくても良い場合に、狭ピッチ用のプローブ針のすべり量の制約を受けないで済む分だけパッドピッチ方向に垂直な方向の寸法を短くすることができ、チップ面積をさらに縮小することができる。

また、半導体装置において、前記半導体装置は、さらに、前記第1の領域に組立には用いないプローブ検査用パッドを有することを特徴としてもよい。

[0013] また、半導体装置において、前記兼用パッドはプローブ針による接続に適合し、且つ、組立に適合する形状を備え、前記組立用パッドは組立に適合する形状を備え、前記プローブ検査用パッドはプローブ針の接続に適合する形状を備え、プローブ針による接続に適合する形状のパッドピッチ方向の寸法は組立に適合する形状のパッドピッチ方向の寸法よりも小さいことを特徴としてもよい。

[0014] また、半導体装置において、前記第1の領域は当該半導体装置の主面における外

枠部分に相当し、前記兼用パッドと前記プローブ検査用パッドとが当該半導体装置の主面における外周に添って交互に配列されていることを特徴としてもよい。

これらにより、プローブ針による接続に適合する形状のパッドピッチ方向の寸法が、組立に適合する形状のパッドピッチ方向の寸法よりも小さい場合に、パッド下の機能素子が応力によるダメージを受けないようにしつつ、プローブ検査時の加圧を許可する領域及びパッドピッチ幅を従来よりも狭くすることができ、チップ面積を大幅に縮小することができる。

[0015] 上記目的を達成するために、本発明に係る半導体装置は、半導体基板上に、表層に位置する外部接続用の端子である複数の接続用パッドと、半導体基板と外層パッドとの間の内層に位置する少なくとも1つの配線用パッドとを有する半導体装置であって、当該半導体装置の主面側から見て、接続用パッドの一部又は全部と配線用パッドとが重なる部分である重複領域においては、当該接続用パッドの電位と当該配線用パッドの電位とが同じであることを特徴とする。

[0016] また、半導体装置において、前記配線用パッドはプローブ検査及び組立の両方に用いる兼用パッドであり、プローブ針による接続に適合し、且つ、組立に適合する形状を備えることを特徴としてもよい。

これらにより、パッド下のソース領域拡散層を金属配線を有さない構成とすることにより、パッドと異電位である金属配線がパッド下界面に存在しなくなったので、パッドに対して応力が加わっても、配線間でのクラックショートが構造的に発生しない。

[0017] よって、パッドのレイアウトの自由度が極めて高くなり、チップ面積を縮小することが極めて容易となる。

また、半導体装置において、前記重複領域における配線用パッドは、前記半導体基板内に形成されたトランジスタのドレインと接続されており、当該重複領域の形状は接続用パッドの形状と略同一であることを特徴としてもよい。

[0018] これにより、最下位の金属層がパッドとほぼ同一の大きさに構成されているため、ローブ針圧、ボンディングの応力等によりパッド界面下にクラックが発生したとしても、同電位で構成された最下位の金属層がカバー層の役目を果たし有効に機能するため故障に至らず、よってより信頼性を高めることができる。

また、半導体装置において、トランジスタのゲートの接続を、接続用パッドと重なる部分では半導体基板の表面に形成された薄膜により引き出し、接続用パッドと重ならない部分では配線用パッドにより引き出すことを特徴としてもよい。

[0019] これにより、ソース領域拡散層の抵抗が下がりより望ましい。

また、半導体装置において、前記接続用パッドはプローブ検査に用いる部分とその他の部分とからなり、前記重複領域は、当該半導体装置の主面側から見て、前記プローブ検査に用いる部分と配線用パッドとが重なる部分であることを特徴としてもよい。

また、半導体装置において、前記配線用パッドは、プローブ検査及び組立の両方に用いる兼用パッドであり、プローブ検査に用いる部分がプローブ針による接続に適合し、且つ、組立に用いる部分が組立に適合する形状を備えることを特徴としてもよい。

[0020] これらにより、プローブ検査に用いる部分の機能素子が応力によるダメージを受けないようにしつつ、プローブ検査時の加圧を許可する領域及びパッドピッチ幅を従来よりも狭くすることができ、チップ面積を大幅に縮小することができる。

また、半導体装置において、前記配線用パッドは2層あり、当該半導体装置の主面側から見て、前記接続用パッドと重なる部分の1層目と2層目との間に、ビアが形成されていないことを特徴としてもよい。

[0021] これにより、パッド界面下における最下位の金属層とパッドとの接続がないので、最下位の金属層と半導体基板との間のクラックの解析が容易となる。

図面の簡単な説明

[0022] [図1]本発明の実施例1における半導体チップ100を主面側から見た際の、外部接続用の端子である複数のパッドのレイアウトを示す図である。

[図2]各パッドの形状や配置の詳細を示す図である。

[図3]図3(a)は、各パッドを主面側から見た図であり、図3(b)は、図3(a)のA-A'間一点鎖線における断面図であり、図3(c)は、図3(a)のB-B'間二点鎖線における断面図である。

[図4]本発明の実施例2における半導体チップ200を主面側から見た際の、外部接

続用の端子である複数のパッドのレイアウトを示す図である。

[図5]各パッドの形状や配置の詳細を示す図である。

[図6]図6(a)は、各パッドを主面側から見た図であり、図6(b)は、図6(a)のA-A'間一点鎖線における断面図であり、図6(c)は、図6(a)のB-B'間二点鎖線における断面図である。

[図7]図7(a)は、本発明の実施例3における半導体チップ300が有する外部接続用の端子であるパッド及びその周辺を主面側から見た図であり、図7(b)は、図7(a)中のA-A'鎖線における断面図である。

[図8]図8(a)は、図7(a)中のB-B'鎖線における断面図であり、図8(b)は、図7(a)中のC-C'鎖線における断面図であり、図8(c)は、図7(a)中のD-D'鎖線における断面図である。

[図9]図7(b)中のE-E'鎖線における主面に平行な断面を示す図であり、最上位層及び中間層の金属配線のパターンに相当する。

[図10]図7(b)中のF-F'鎖線における主面に平行な断面を示す図であり、最下位層の金属配線のパターンに相当する。

[図11]本発明の実施例3における兼用パッド及びその周辺の回路図を示す。

[図12]図12(a)は、本発明の実施例4における半導体チップ400が有する外部接続用の端子であるパッド及びその周辺を主面側から見た図であり、図12(b)は、図12(a)中のA-A'鎖線における断面図である。

[図13]図13(a)は、図12(a)中のB-B'鎖線における断面図であり、図13(b)は、図12(a)中のC-C'鎖線における断面図であり、図13(c)は、図12(a)中のD-D'鎖線における断面図である。

[図14]図12(b)中のF-F'鎖線における主面に平行な断面を示す図であり、最下位層の金属配線のパターンに相当する。

[図15]図15(a)は、本発明の実施例5における半導体チップ500が有する外部接続用の端子であるパッド及びその周辺を主面側から見た図であり、図15(b)は、図15(a)中のA-A'鎖線における断面図である。

[図16]図16(a)は、図15(a)中のB-B'鎖線における断面図であり、図16(b)は、図

15(a)中のC-C'鎖線における断面図であり、図16(c)は、図15(a)中のD-D'鎖線における断面図である。

[図17]図16(b)中のE-E'鎖線における主面に平行な断面を示す図であり、最上位層及び中間層の金属配線のパターンに相当する。

符号の説明

[0023]	100	半導体チップ
	101	仮想境界線
	102	第1領域
	103	第2領域
	104	電気絶縁体層
	110	兼用パッド
	111	パッド開口
	112	最上層金属配線層
	113	金属配線層
	114	コンタクト群
	115	パッド取り出し口
	116	コンタクト
	117	コンタクト
	118	最下位の金属層
	119	コンタクト
	120	プローブ検査用パッド
	121	パッド開口
	122	最上層金属配線層
	123	金属配線層
	124	コンタクト群
	125	パッド取り出し口
	126	コンタクト
	127	コンタクト

- 128 最下位の金属層
- 129 コンタクト
- 130 組立用パッド
- 131 パッド開口
- 132 最上層金属配線層
- 133 金属配線層
- 134 コンタクト群
- 135 パッド取り出し口
- 136 コンタクト
- 137 コンタクト
- 140 半導体基板
- 141 拡散領域
- 142 拡散領域
- 151 プローブ針
- 152 バンプ
- 153 プローブ針
- 154 バンプ
- 200 半導体チップ
- 201 仮想境界線
- 202 第1領域
- 203 第2領域
- 204 電気絶縁体層
- 210 兼用パッド
- 211 パッド開口
- 212 最上層金属配線層
- 213 金属配線層
- 214 コンタクト群
- 215 パッド取り出し口

- 216 コンタクト
- 217 コンタクト
- 218 最下位の金属層
- 219 コンタクト
- 220 組立用パッド
- 221 パッド開口
- 222 最上層金属配線層
- 223 金属配線層
- 224 コンタクト群
- 225 パッド取り出し口
- 226 コンタクト
- 227 コンタクト
- 228 最下位の金属層
- 229 コンタクト
- 230 半導体基板
- 231 拡散領域
- 232 拡散領域
- 241 プローブ針
- 242 バンプ
- 243 バンプ
- 300 半導体チップ
- 301 電気絶縁体層
- 310 兼用パッド
- 311 パッド開口
- 312 最上層金属配線層
- 313 金属配線層
- 314 コンタクト群
- 315 コンタクト群

- 316 コンタクト群
- 317 最下位の金属層
- 318 コンタクト群
- 319 コンタクト群
- 320 金属配線
- 321 最上層金属配線層
- 322 金属配線層
- 323 コンタクト群
- 324 コンタクト群
- 325 最下位の金属層
- 326 コンタクト群
- 330 金属配線
- 331 最上層金属配線層
- 332 金属配線層
- 333 コンタクト群
- 334 コンタクト群
- 335 最下位の金属層
- 336 コンタクト群
- 340 ゲート電極
- 341 ゲート酸化膜
- 342 コンタクト
- 343 配線層
- 350 ゲート電極
- 351 ゲート酸化膜
- 352 コンタクト
- 353 配線層
- 360 P型半導体基板
- 361 N型ウェル

- 362 拡散領域
- 363 拡散領域
- 364 拡散領域
- 365 拡散領域
- 400 半導体チップ
- 415 コンタクト群
- 416 コンタクト群
- 417 最下位の金属層
- 500 半導体チップ
- 510 兼用パッド
- 511 最上層金属配線層
- 512 金属配線層
- 513 コンタクト群
- 514 パッド取り出し口
- 515 コンタクト群
- 516 コンタクト群
- 520 金属配線
- 521 最上層金属配線層
- 522 金属配線層
- 523 コンタクト群

発明を実施するための最良の形態

[0024] (実施例1)

<概要>

本発明の実施例1は、半導体チップにおいて、チップ面積を縮小することが可能な新しいパッドのレイアウトを提案するものであり、プローブ検査が出来ない領域に組立専用のパッドを配置し、プローブ検査が出来る領域に、プローブ検査及び組立用の兼用パッドとプローブ検査専用のパッドとを交互に配置する。

[0025] <構成>

図1は、本発明の実施例1における半導体チップ100を主面側から見た際の、外部接続用の端子である複数のパッドのレイアウトを示す図である。

図1に示すように、半導体チップ100の主面は、仮想境界線101と外周との間の半導体チップ100の外枠部分に相当する第1領域102、及び、仮想境界線101の内側部分である第2領域103に2分される。

[0026] 第1領域102は、プローブ針によるプローブ検査時の加圧を許可する領域であり、プローブ検査及び組立の両方に用いる兼用パッド110と、組立には用いないプローブ検査用パッド120とが、外周に添って交互に、組立に必要な所定の間隔を空けて配列されている。

第2領域103の直下の半導体チップ100の内部には、チップ独自の機能を実現する機能素子を有する回路形成部(図示せず)が有り、第2領域103は、回路形成部へのダメージを回避するためにプローブ針によるプローブ検査時の加圧を禁止する領域であり、プローブ検査には用いない組立用パッド130が仮想境界線101に添って配列されている。ここで組立用パッド130とプローブ検査用パッド120とは同数であり、これらはペアでパッドピッチ方向に対する中心線がほぼ一致するように、組立に必要な所定の間隔を空けて配列されている。

[0027] 図2は、各パッドの形状や配置の詳細を示す図である。

図2において、横縞の円は組立用のボンディング又はバンピング等の占有位置を、縦縞の楕円はプローブ検査用のプロービングの占有位置を示している。

ここでパッド面への安定したボンディングやバンピング等が出来る組立用の最小パッド寸法を幅 $71\mu\text{m}$ ×長さ $71\mu\text{m}$ 、プローブの針先のパッド面に対するすべり量を考慮してプロービングが出来るプローブ検査用の最小パッド寸法を幅 $47\mu\text{m}$ ×長さ $118\mu\text{m}$ と規定したので、各パッドの寸法及びレイアウトはを以下のように決まる。

[0028] 兼用パッド110のパッド寸法は、組立用の最小幅($71\mu\text{m}$)×プローブ検査用の最小長さ($118\mu\text{m}$)となる。

プローブ検査用パッド120のパッド寸法は、プローブ検査用最小幅($47\mu\text{m}$)×プローブ検査用の最小長さ($118\mu\text{m}$)となる。

組立用パッド130のパッド寸法は、組立用の最小幅($71\mu\text{m}$)×組立用の最小長さ

(71 μm)となる。

[0029] また兼用パッド110とプローブ検査用パッド120との間隔は、絶縁を確保出来るパッド間セパレーション距離(3 μm)であり、プローブ検査用パッド120と組立用パッド130とのパッドピッチ方向に垂直な方向の間隔は、組立における制約に基づいた寸法であって、例えば兼用パッド110と組立用パッド130とを同時にボンディング又はバンピング等できるような組立用セパレーション距離(74 μm)である。

[0030] このようなレイアウトの結果、パッドピッチ幅は、(兼用パッド110の幅(71 μm) + プローブ検査用パッド120の幅(47 μm)) / 2 + パッド間セパレーション距離(3 μm) = 62 μm となり、また、第1領域102の枠幅は最低118 μm あればよい。

例えば従来のように、兼用パッドのみを単純に並べたとすると、パッドピッチ幅は、兼用パッド110の幅(71 μm) + セパレーション距離(3 μm) = 74 μm となり、本発明よりも19%以上も広い。また実際には、組立における制約のために兼用パッドを3 μm の間隔で並べることはできず、例えばパッドピッチ幅は120 μm 程度必要であり、本発明よりも93%以上も広い。また、第1領域の枠幅を広くして2段に配列したとしても、第1領域の枠幅は最低でも、組立用の最小幅(71 μm) \times 2 + 組立用セパレーション距離(74 μm) = 216 μm となり、本発明よりも95%以上も広い。

[0031] 図3(a)は、各パッドを主面側から見た図であり、図3(b)は、図3(a)のA-A'間一点鎖線における断面図であり、図3(c)は、図3(a)のB-B'間二点鎖線における断面図である。

図3(a)～(c)に示すように、兼用パッド110上にパッド開口111を、プローブ検査用パッド120上にパッド開口121を、組立用パッド130上にパッド開口131を有し、主面側の各パッド開口を除く部分は電気絶縁体層104で覆われている。

[0032] また、図3(b)に示すように、主面側を上にとすると、兼用パッド110は、最上層金属配線層112とその下の金属配線層113とこれらの間を接続するコンタクト群114(ビア)とから形成されている。また兼用パッド110は、パッド取り出し口115、コンタクト116、及びコンタクト117を介して最下位の金属層118と接続され、最下位の金属層118はコンタクト119を介して半導体基板140上に形成された回路の拡散領域141と接続されている。なお、図3(b)中の兼用パッド110の上には、ウエハ検査時に接触す

るプローブ針151と組立時に形成される組立用のバンブ152とを破線で示している。

[0033] また、図3(c)に示すように、主面側を上にとすると、プローブ検査用パッド120は、最上層金属配線層122とその下の金属配線層123とこれらの間を接続するコンタクト群124とから形成され、組立用パッド130は、最上層金属配線層132とその下の金属配線層133とこれらの間を接続するコンタクト群134とから形成されている。またプローブ検査用パッド120は、パッド取り出し口125、コンタクト126、及びコンタクト127を介して最下位の金属層128と接続され、組立用パッド130は、パッド取り出し口135、コンタクト136、及びコンタクト137を介して最下位の金属層128と接続され、最下位の金属層128はコンタクト129を介して半導体基板140上に形成された回路の拡散領域142と接続されている。なお図3(c)中のプローブ検査用パッド120の上にはウエハ検査時に接触するプローブ針153を、組立用パッド130の上には組立時に形成されるバンブ154を破線で示している。

[0034] <まとめ>

以上のように、本発明の実施例1によれば、プローブ針による接続に適合する形状のパッドピッチ方向の寸法が、組立に適合する形状のパッドピッチ方向の寸法よりも小さい場合に、プローブ針によるプローブ検査時の加圧が禁止された領域に組立用パッドを配列し、プローブ針によるプローブ検査時の加圧が許可された領域に兼用パッドとプローブ検査用パッドとを交互に配列しているので、パッド下の機能素子が応力によるダメージを受けないようにしつつ、プローブ検査時の加圧を許可する領域及びパッドピッチ幅を従来よりも狭くすることができ、チップ面積を大幅に縮小することができる。

(実施例2)

<概要>

本発明の実施例2は、組立用のパッドに比べてプローブ検査用のパッドが少なくても良い場合に、実施例1からプローブ検査専用のパッドを削除するものであり、実施例1の様に狭ピッチ用のプローブ針のすべり量の制約を受けないで済むので、兼用パッドのパッドピッチ方向に垂直な方向の寸法を短くし、チップ面積をさらに縮小する。

[0035] <構成>

図4は、本発明の実施例2における半導体チップ200を主面側から見た際の、外部接続用の端子である複数のパッドのレイアウトを示す図である。

図4に示すように、半導体チップ200の主面は、仮想境界線201と外周との間の半導体チップ200の外枠部分に相当する第1領域202、及び、仮想境界線201の内側部分である第2領域203に2分される。

[0036] 第1領域202は、プローブ針によるプローブ検査時の加圧を許可する領域であり、プローブ検査及び組立の両方に用いる兼用パッド210が、外周に添って、組立に必要な所定の間隔を空けて配列されている。

第2領域203の直下の半導体チップ200の内部には、チップ独自の機能を実現する機能素子を有する回路形成部(図示せず)が有り、第2領域203は、回路形成部へのダメージを回避するためにプローブ針によるプローブ検査時の加圧を禁止する領域であり、プローブ検査には用いない組立用パッド220が仮想境界線201に添って、組立に必要な所定の間隔を空けて配列されている。

[0037] 図5は、各パッドの形状や配置の詳細を示す図である。

図5において、横縞の円は組立用のボンディング又はバンピング等の占有位置を、縦縞の楕円はプローブ検査用のプロービングの占有位置を示している。

ここでパッド面への安定したボンディングやバンピング等が出来る組立用の最小パッド寸法を幅 $71\mu\text{m}$ ×長さ $71\mu\text{m}$ 、幅 $71\mu\text{m}$ のパッドに対応する広ピッチ用のプローブ針を用いてプロービングが出来るプローブ検査用の最小パッド寸法を幅 $71\mu\text{m}$ ×長さ $71\mu\text{m}$ と規定したので、各パッドの寸法及びレイアウトはを以下のように決まる。

[0038] 兼用パッド210のパッド寸法は、組立用及びプローブ検査用の最小幅($71\mu\text{m}$)×組立用及びプローブ検査用の最小長さ($71\mu\text{m}$)となる。

組立用パッド220のパッド寸法は、組立用の最小幅($71\mu\text{m}$)×組立用の最小長さ($71\mu\text{m}$)となる。

また兼用パッド210同士の間隔は、組立における制約に基づいた寸法であって、実施例1と同様なパッドピッチ幅($62\mu\text{m}$)の場合には $53\mu\text{m}$ となり、兼用パッド210と組立用パッド220との、パッドピッチ方向に垂直な方向の間隔は、実施例1と同様

に組立用セパレーション距離($74\mu\text{m}$)である。

- [0039] このようなレイアウトの結果、パッドピッチ幅は、((兼用パッド210の幅($71\mu\text{m}$) + セパレーション距離($53\mu\text{m}$)) / 2 = $62\mu\text{m}$ となり、また、第1領域202の枠幅は最低 $71\mu\text{m}$ あればよい。

実施例1と比較すると、パッドピッチ幅は同じであるが、第1領域の枠幅が $118\mu\text{m}$ から $71\mu\text{m}$ へと60%程度に減少している。

- [0040] 図6(a)は、各パッドを主面側から見た図であり、図6(b)は、図6(a)のA-A'間一点鎖線における断面図であり、図6(c)は、図6(a)のB-B'間二点鎖線における断面図である。

図6(a)ー(c)に示すように、兼用パッド210上にパッド開口211を、組立用パッド220上にパッド開口221を有し、主面側の各パッド開口を除く部分は電気絶縁体層204で覆われている。

- [0041] また、図6(b)に示すように、主面側を上にとすると、兼用パッド210は、最上層金属配線層212とその下の金属配線層213とこれらの間を接続するコンタクト群214とから形成されている。また兼用パッド210は、パッド取り出し口215、コンタクト216、及びコンタクト217を介して最下位の金属層218と接続され、最下位の金属層218はコンタクト219を介して半導体基板230上に形成された回路の拡散領域231と接続されている。なお、図6(b)中の兼用パッド210の上には、ウエハ検査時に接触するプローブ針241と組立時に形成される組立用のバンプ242とを破線で示している。

- [0042] また、図6(c)に示すように、主面側を上にとすると、組立用パッド220は、最上層金属配線層222とその下の金属配線層223とこれらの間を接続するコンタクト群224とから形成されている。また組立用パッド220は、パッド取り出し口225、コンタクト226、及びコンタクト227を介して最下位の金属層228と接続され、最下位の金属層228はコンタクト229を介して半導体基板230上に形成された回路の拡散領域232と接続されている。なお図6(c)中の組立用パッド220の上には組立時に形成されるバンプ243を破線で示している。

- [0043] <まとめ>

以上のように、本発明の実施例2によれば、組立用のパッドに比べてプローブ検査

用のパッドが少なくても良い場合に、実施例1よりも狭ピッチ用のプローブ針のすべり量の制約を受けないで済む分だけパッドピッチ方向に垂直な方向の寸法を短くすることができ、チップ面積をさらに縮小することができる。

(実施例3)

<概要>

本発明の実施例3は、半導体チップにおいて、チップ面積を縮小することが可能な新しいパッド下界面の構造を提案するものであり、パッドと異電位であるVDD、VSS等の金属配線をパッド下界面に存在させない構造とすることにより、パッドに対して応力が加わっても、配線間でのクラックショートが構造的に発生しなくなるので、パッドのレイアウトの自由度が極めて高くなり、チップ面積を縮小することが容易となる。

[0044] <構成>

本発明の実施例3では、配線層が比較的少なく低コストな3層配線プロセスにおいて、端子より入来するサージ電圧に対するESD保護素子をパッドの下に形成する半導体チップの例を示す。

図7(a)は、本発明の実施例3における半導体チップ300が有する外部接続用の端子であるパッド及びその周辺を主面側から見た図であり、図7(b)は、図7(a)中のA-A'鎖線における断面図である。

[0045] 図8(a)は、図7(a)中のB-B'鎖線における断面図であり、図8(b)は、図7(a)中のC-C'鎖線における断面図であり、図8(c)は、図7(a)中のD-D'鎖線における断面図である。

図9は、図7(b)中のE-E'鎖線における主面に平行な断面を示す図であり、最上位層及び中間層の金属配線のパターンに相当する。

[0046] 図10は、図7(b)中のF-F'鎖線における主面に平行な断面を示す図であり、最下位層の金属配線のパターンに相当する。

図11は、本発明の実施例3における兼用パッド及びその周辺の回路図を示す。

半導体チップ300は、図7(a)に示すように、高電位な電源(以下、「VDD」と記す)が供給される金属配線320と低電位な電源(以下、「VSS」と記す)が供給される金属配線330の間に、外部接続用の端子であってプローブ検査及び組立の両方に用い

る兼用パッド310を有し、兼用パッド310上にパッド開口311を有し、主面側のパッド開口311を除く部分は電気絶縁体層301で覆われている。

[0047] また、図7(b)、図8(a)ー(c)に示すように、主面側を上にとすると、兼用パッド310は最上層金属配線層312とその下の金属配線層313とこれらの間を接続するコンタクト群314とから形成され、金属配線320は最上層金属配線層321とその下の金属配線層322とこれらの間を接続するコンタクト群323とから形成され、金属配線330は最上層金属配線層331とその下の金属配線層332とこれらの間を接続するコンタクト群333とから形成されている。

[0048] また図8(a)ー図8(c)に示すように、半導体チップ300は、兼用パッド310の電位をドレイン側に、金属配線320の電位をソース側に、ゲート電極340をゲート側に形成したP型CMOS保護トランジスタと、兼用パッド310の電位をドレイン側に、金属配線330の電位をソース側に、ゲート電極350をゲートに形成したN型CMOS保護トランジスタとを形成している。

[0049] また、図8(a)に示すように、兼用パッド310は、コンタクト群315、316を介して最下位の金属層317と接続され、最下位の金属層317はコンタクト群318、319を介して、P型半導体基板360上のN型ウェル(N-well)361内に形成されたP型CMOS保護トランジスタのドレインとなるP+拡散領域362、及びP型半導体基板360上に形成されたN型CMOS保護トランジスタのドレインとなるN+拡散領域363に接続されている。

[0050] また、図8(b)に示すように、ゲート電極340の下にゲート酸化膜341が形成されており、ゲート電極340は、兼用パッド310、金属配線320、金属配線330と重ならない部分において、コンタクト342を介して配線層343に接続され、他の素子と接続される。同様にゲート電極350の下にゲート酸化膜351が形成されており、ゲート電極350は、兼用パッド310、金属配線320、金属配線330と重ならない部分において、コンタクト352を介して配線層353に接続され、他の素子と接続される。

[0051] また、図8(c)に示すように、金属配線320は、コンタクト群324を介して最下位の金属層325と接続され、最下位の金属層325はコンタクト群326を介して、P型半導体基板360上のN型ウェル361内に形成されたP型CMOS保護トランジスタのゲートと

なるP+拡散領域364と接続され、金属配線330は、コンタクト群334を介して最下位の金属層335と接続され、最下位の金属層335はコンタクト群336を介して、P型半導体基板360上に形成されたN型CMOS保護トランジスタのゲートとなるN+拡散領域365と接続されている。

[0052] ここで、図7(b)、図8(a)に示すように、N+拡散領域363はコンタクト群318を介して最下位の金属層317に接続されるが、これに対して図7(b)、図8(c)に示すように、N+拡散領域365は、兼用パッド310の下では、金属配線を有さず拡散層のみの構成であり、兼用パッド310と重ならない部分では配線用パッドにより引き出し、金属配線330の下で、コンタクト群336、最下位の金属層335、及びコンタクト群334を介して金属配線330に接続されている。

[0053] 同様に、図8(a)に示すように、P+拡散領域362はコンタクト群319を介して最下位の金属層317に接続されるが、これに対して図8(c)に示すように、P+拡散領域364は、兼用パッド310の下では、金属配線を有さず拡散層のみの構成であり、兼用パッド310と重ならない部分では配線用パッドにより引き出し、金属配線320の下で、コンタクト群326、最下位の金属層325、及びコンタクト群324を介して金属配線320に接続されている。

[0054] なお、N+拡散領域365やP+拡散領域364等の兼用パッド310の下のソース領域拡散層は、サリサイド拡散層等の表面に形成した薄膜を用いて抵抗を下げるのが望ましい。

また、兼用パッド310が、プローブ検査に用いる部分とその他の部分とからなる場合には、N+拡散領域365及びP+拡散領域364は、少なくともプローブ検査に用いる部分の下で、金属配線を有さず拡散層のみの構成であればよい。

[0055] <まとめ>

以上のように、本発明の実施例3によれば、パッド下のソース領域拡散層を金属配線を有さない構成とすることにより、パッドと異電位である金属配線がパッド下界面に存在しなくなったので、パッドに対して応力が加わっても、配線間でのクラックショートが構造的に発生しない。

[0056] よって、パッドのレイアウトの自由度が極めて高くなり、チップ面積を縮小することが

極めて容易となる。

(実施例4)

<概要>

本発明の実施例4は、実施例3の半導体チップの変形例であり、最下位層の金属配線のパターンのみが異なり、パッドとほぼ同一の大きさとし、より信頼性を高めたものである。

[0057] <構成>

図12(a)は、本発明の実施例4における半導体チップ400が有する外部接続用の端子であるパッド及びその周辺を主面側から見た図であり、図12(b)は、図12(a)中のA-A'鎖線における断面図である。

図13(a)は、図12(a)中のB-B'鎖線における断面図であり、図13(b)は、図12(a)中のC-C'鎖線における断面図であり、図13(c)は、図12(a)中のD-D'鎖線における断面図である。

[0058] ここで、図12(b)中のE-E'鎖線における主面に平行な断面を示す図は、実施例3と同様である。

図14は、図12(b)中のF-F'鎖線における主面に平行な断面を示す図であり、最下位層の金属配線のパターンに相当する。

なお、実施例3と同様な構成要素には同一番号を付し、その説明を省略する。

[0059] 本発明の実施例4では、各図において、実施例3のコンタクト群315、コンタクト群316、最下位の金属層317が、それぞれコンタクト群415、コンタクト群416、最下位の金属層417に置き換えている。

最下位の金属層417は、実施例3の最下位の金属層317の形状と兼用パッド310の形状とを合わせたような形状であり、最下位の金属層417と兼用パッド310との重複領域の形状は兼用パッド310の形状と略同一である。

[0060] コンタクト群415、コンタクト群415は、最下位の金属層417の形状の変更にとまなない、コンタクト数が増えただけである。

<まとめ>

以上のように、本発明の実施例4によれば、最下位の金属層がパッドとほぼ同一の

大きさを構成されているため、ローブ針圧、ボンディングの応力等によりパッド界面下にクラックが発生したとしても、同電位で構成された最下位の金属層がカバー層の役目を果たし有効に機能するため故障に至らず、よってより信頼性を高めることができる。

(実施例5)

<概要>

本発明の実施例5は、実施例4の半導体チップの変形例であり、最下位の金属層とパッドとの接続の仕方のみが異なり、当該接続をパッド界面下において行わず、新たに設けたパッド取り出し口においてのみ行い、クラックの解析を容易にするものである。

[0061] <構成>

図15(a)は、本発明の実施例5における半導体チップ500が有する外部接続用の端子であるパッド及びその周辺を主面側から見た図であり、図15(b)は、図15(a)中のA-A'鎖線における断面図である。

図16(a)は、図15(a)中のB-B'鎖線における断面図であり、図16(b)は、図15(a)中のC-C'鎖線における断面図であり、図16(c)は、図15(a)中のD-D'鎖線における断面図である。

[0062] 図17は、図16(b)中のE-E'鎖線における主面に平行な断面を示す図であり、最上位層及び中間層の金属配線のパターンに相当する。

ここで、図16(b)中のF-F'鎖線における主面に平行な断面を示す図は、実施例4と同様である。

なお、実施例4と同様な構成要素には同一番号を付し、その説明を省略する。

[0063] 本発明の実施例5では、各図において、実施例4の兼用パッド310、最上層金属配線層312、金属配線層313、コンタクト群314、金属配線320、最上層金属配線層321、金属配線層322、コンタクト群323が、それぞれ兼用パッド510、最上層金属配線層511、金属配線層512、コンタクト群513、金属配線520、最上層金属配線層521、金属配線層522、コンタクト群523に置き換え、コンタクト群315、コンタクト群316を無くし、パッド取り出し口514、コンタクト群515、コンタクト群516を追加している。

[0064] また本発明の実施例5では、パッド界面下における最下位の金属層とパッドとの接続であるコンタクト群315、コンタクト群316を無くし、パッド取り出し口514を新たに設けたため、兼用パッド510、金属配線520の形状が変わり、パッド取り出し口514で、コンタクト群515、コンタクト群516により、最下位の金属層とパッドとを接続している。

[0065] <まとめ>

以上のように、本発明の実施例5によれば、パッド界面下における最下位の金属層とパッドとの接続がないので、最下位の金属層と半導体基板との間のクラックの解析が容易となる。

産業上の利用可能性

[0066] 本発明は、あらゆる半導体集積回路に適用することができる。本発明によって、従来よりも半導体チップの面積を大幅に縮小することができるので、着実にコストを下げることができ、その産業的利用価値は極めて高い。

請求の範囲

- [1] 半導体基板上に外部接続用の端子である複数のパッドを有する半導体装置であって、
- 当該半導体装置の主面における、プローブ針によるプローブ検査時の加圧が許可された第1の領域に、プローブ検査及び組立の両方に用いる兼用パッドを有し、
- 当該半導体装置の主面における、プローブ針によるプローブ検査時の加圧が禁止された第2の領域に、プローブ検査には用いない組立用パッドを有すること
- を特徴とする半導体装置。
- [2] 前記兼用パッドは、プローブ針による接続に適合し、且つ、組立に適合する形状を備え、
- 前記組立用パッドは、組立に適合する形状を備えること
- を特徴とする請求項1に記載の半導体装置。
- [3] 前記第1の領域は、当該半導体装置の主面における外枠部分に相当し、
- 前記兼用パッドが、当該半導体装置の主面における外周に添って配列されていること
- を特徴とする請求項1に記載の半導体装置。
- [4] 前記半導体装置は、さらに、
- 前記第1の領域に、組立には用いないプローブ検査用パッドを有すること
- を特徴とする請求項1に記載の半導体装置。
- [5] 前記兼用パッドは、プローブ針による接続に適合し、且つ、組立に適合する形状を備え、
- 前記組立用パッドは、組立に適合する形状を備え、
- 前記プローブ検査用パッドは、プローブ針の接続に適合する形状を備え、
- プローブ針による接続に適合する形状のパッドピッチ方向の寸法は、組立に適合する形状のパッドピッチ方向の寸法よりも小さいこと
- を特徴とする請求項4に記載の半導体装置。
- [6] 前記第1の領域は、当該半導体装置の主面における外枠部分に相当し、
- 前記兼用パッドと前記プローブ検査用パッドとが、当該半導体装置の主面における

外周に添って、交互に配列されていること

を特徴とする請求項3に記載の半導体装置。

- [7] 半導体基板上に、表層に位置する外部接続用の端子である複数の接続用パッドと、半導体基板と外層パッドとの間の内層に位置する少なくとも1つの配線用パッドとを有する半導体装置であって、

当該半導体装置の主面側から見て、接続用パッドの一部又は全部と配線用パッドとが重なる部分である重複領域においては、当該接続用パッドの電位と当該配線用パッドの電位とが同じであること

を特徴とする半導体装置。

- [8] 前記配線用パッドは、プローブ検査及び組立の両方に用いる兼用パッドであり、プローブ針による接続に適合し、且つ、組立に適合する形状を備えること

を特徴とする請求項7に記載の半導体装置。

- [9] 前記重複領域における配線用パッドは、前記半導体基板内に形成されたトランジスタのドレインと接続されており、当該重複領域の形状は接続用パッドの形状と略同一であること

を特徴とする請求項7に記載の半導体装置。

- [10] トランジスタのゲートの接続を、接続用パッドと重なる部分では半導体基板の表面に形成された薄膜により引き出し、接続用パッドと重ならない部分では配線用パッドにより引き出すこと

を特徴とする請求項7に記載の半導体装置。

- [11] 前記接続用パッドは、プローブ検査に用いる部分とその他の部分とからなり、前記重複領域は、

当該半導体装置の主面側から見て、前記プローブ検査に用いる部分と配線用パッドとが重なる部分であること

を特徴とする請求項7に記載の半導体装置。

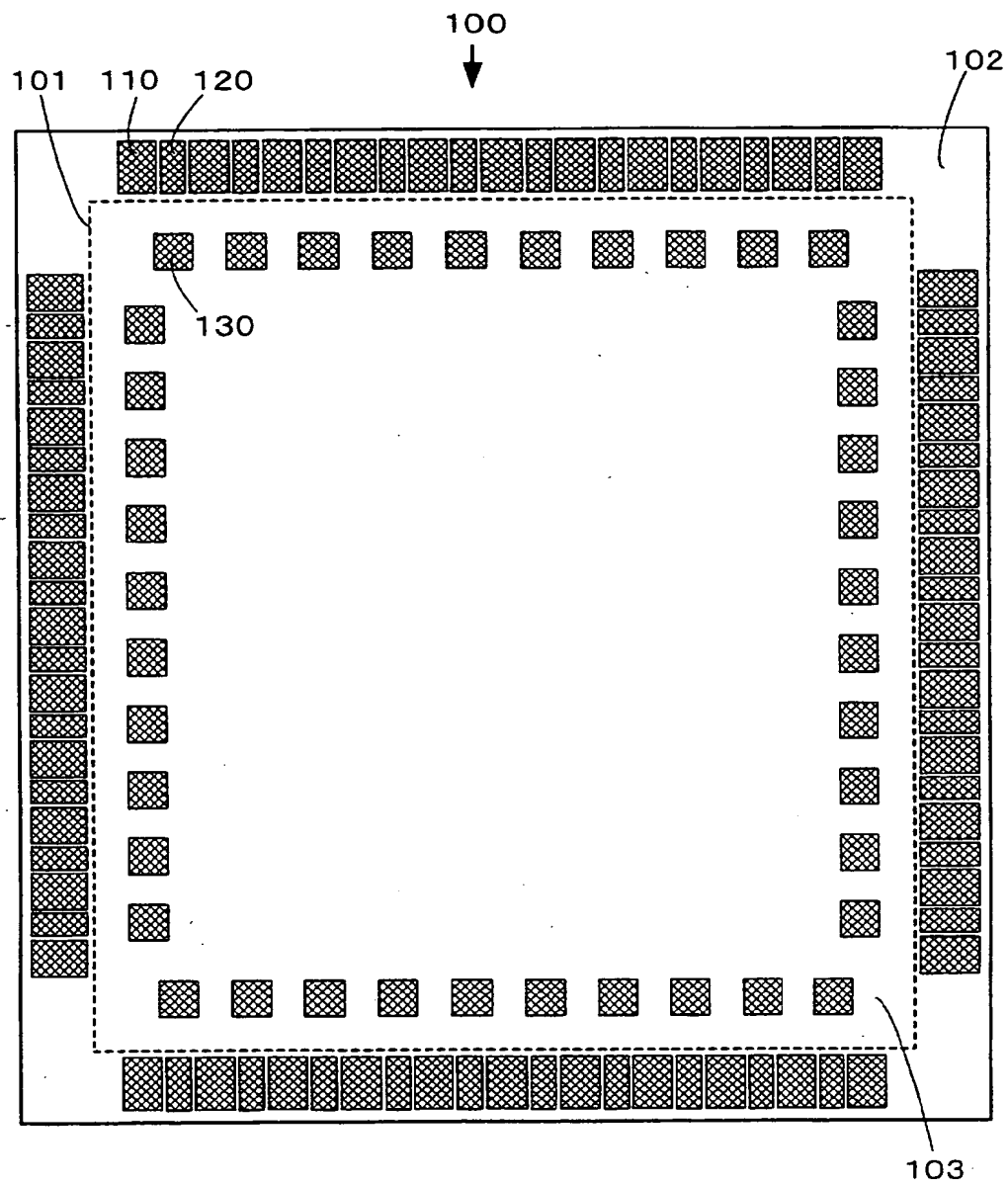
- [12] 前記配線用パッドは、プローブ検査及び組立の両方に用いる兼用パッドであり、プローブ検査に用いる部分がプローブ針による接続に適合し、且つ、組立に用いる部分が組立に適合する形状を備えること

を特徴とする請求項11に記載の半導体装置。

- [13] 前記配線用パッドは2層あり、
当該半導体装置の主面側から見て、前記接続用パッドと重なる部分の、1層目と2層目との間に、ビアが形成されていないこと
を特徴とする請求項7に記載の半導体装置。

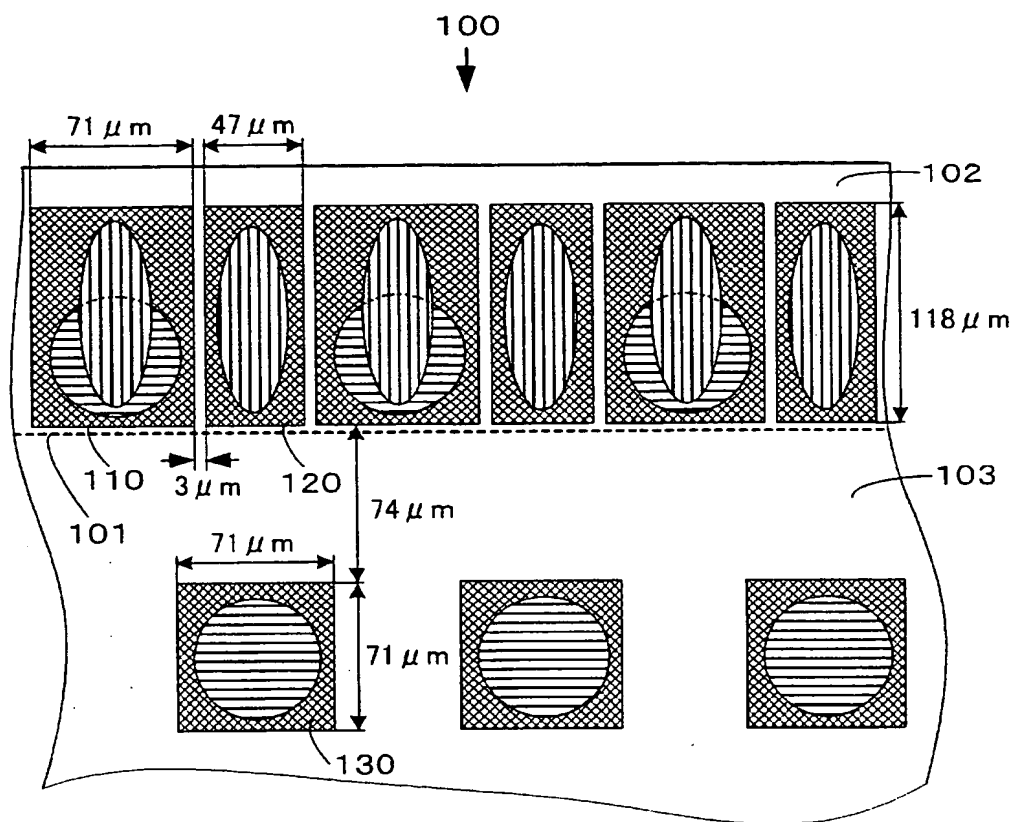
THIS PAGE BLANK (USPTO)

[図1]



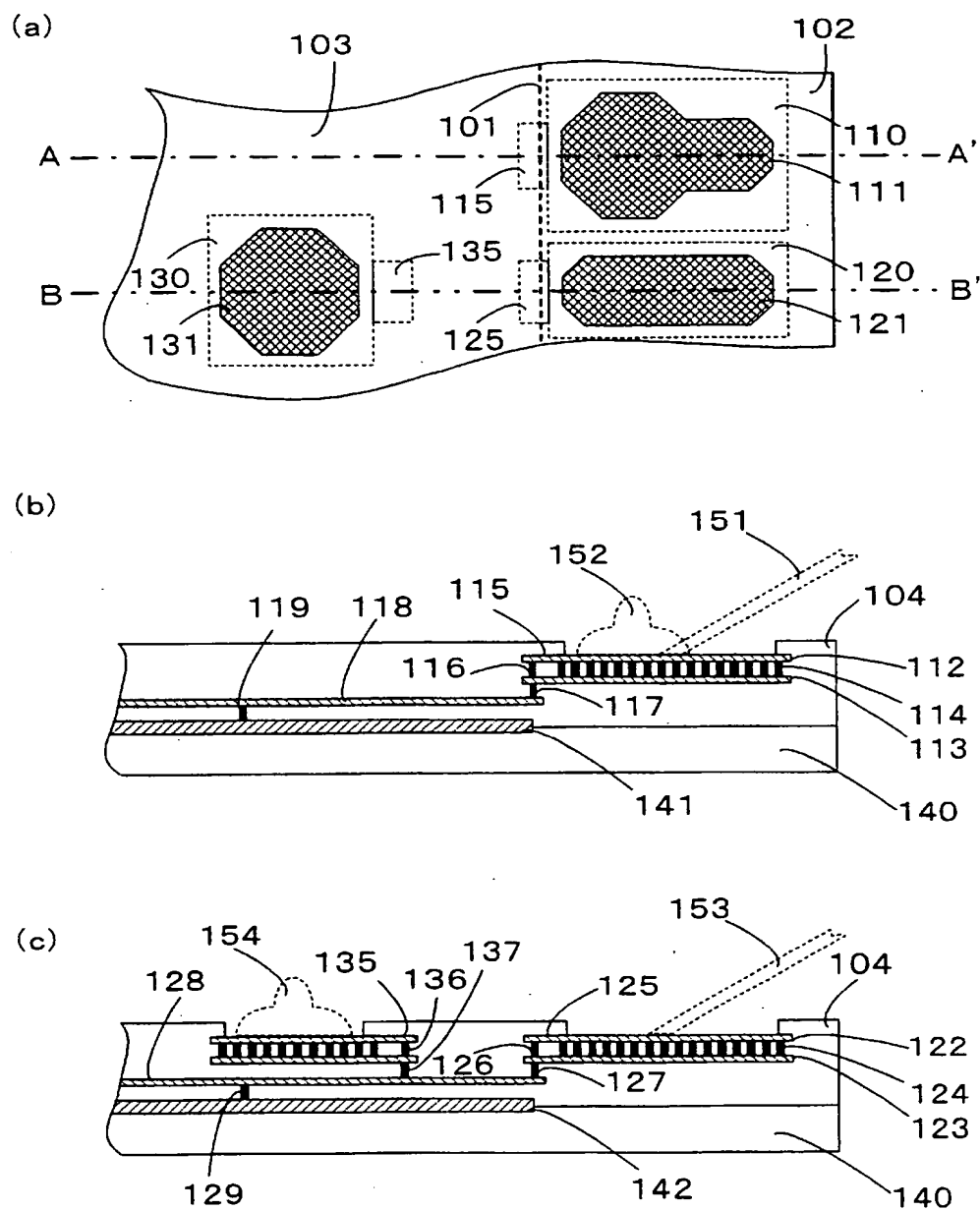
THIS PAGE BLANK (USPTO)

[図2]



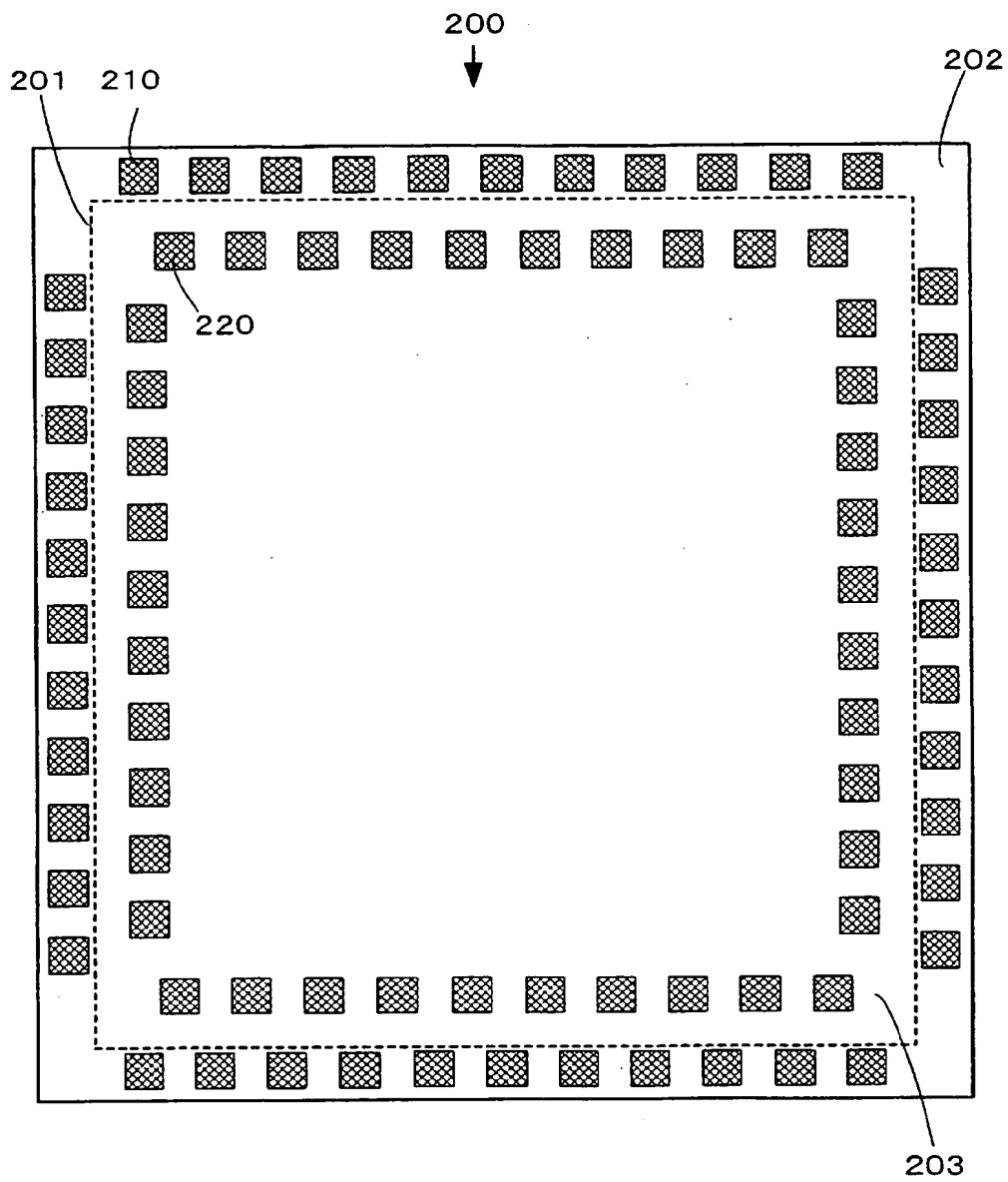
THIS PAGE BLANK (USPTO)

[図3]



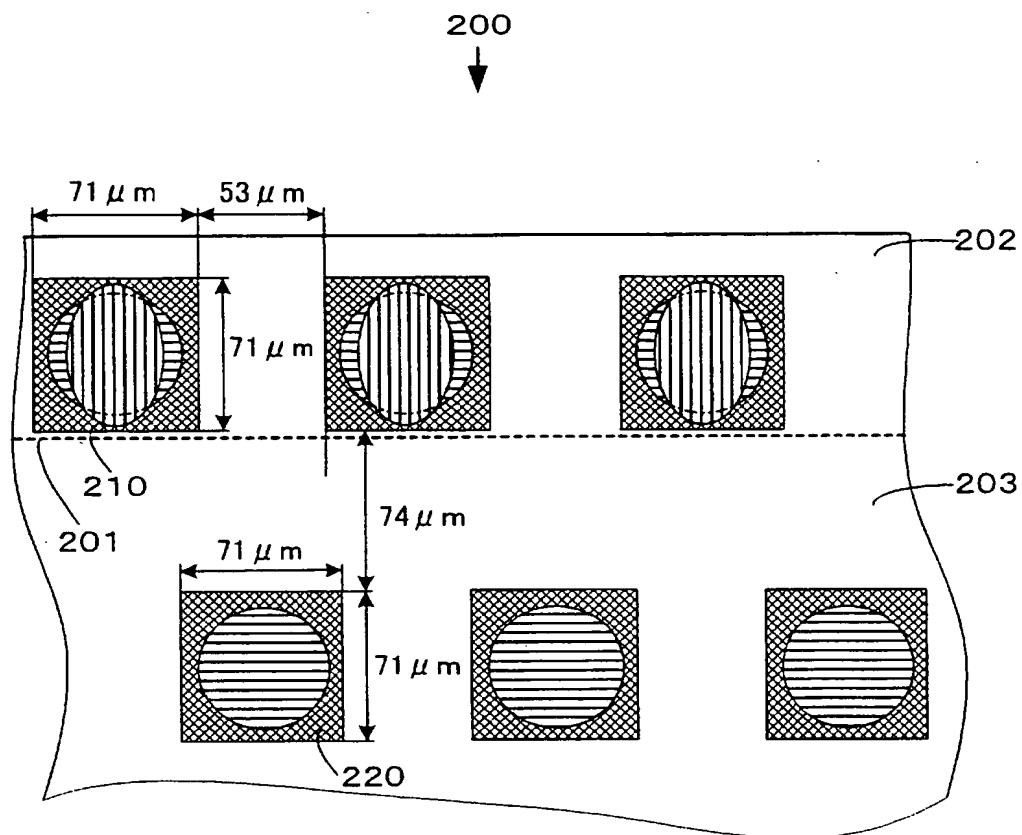
THIS PAGE BLANK (USPTO)

[図4]



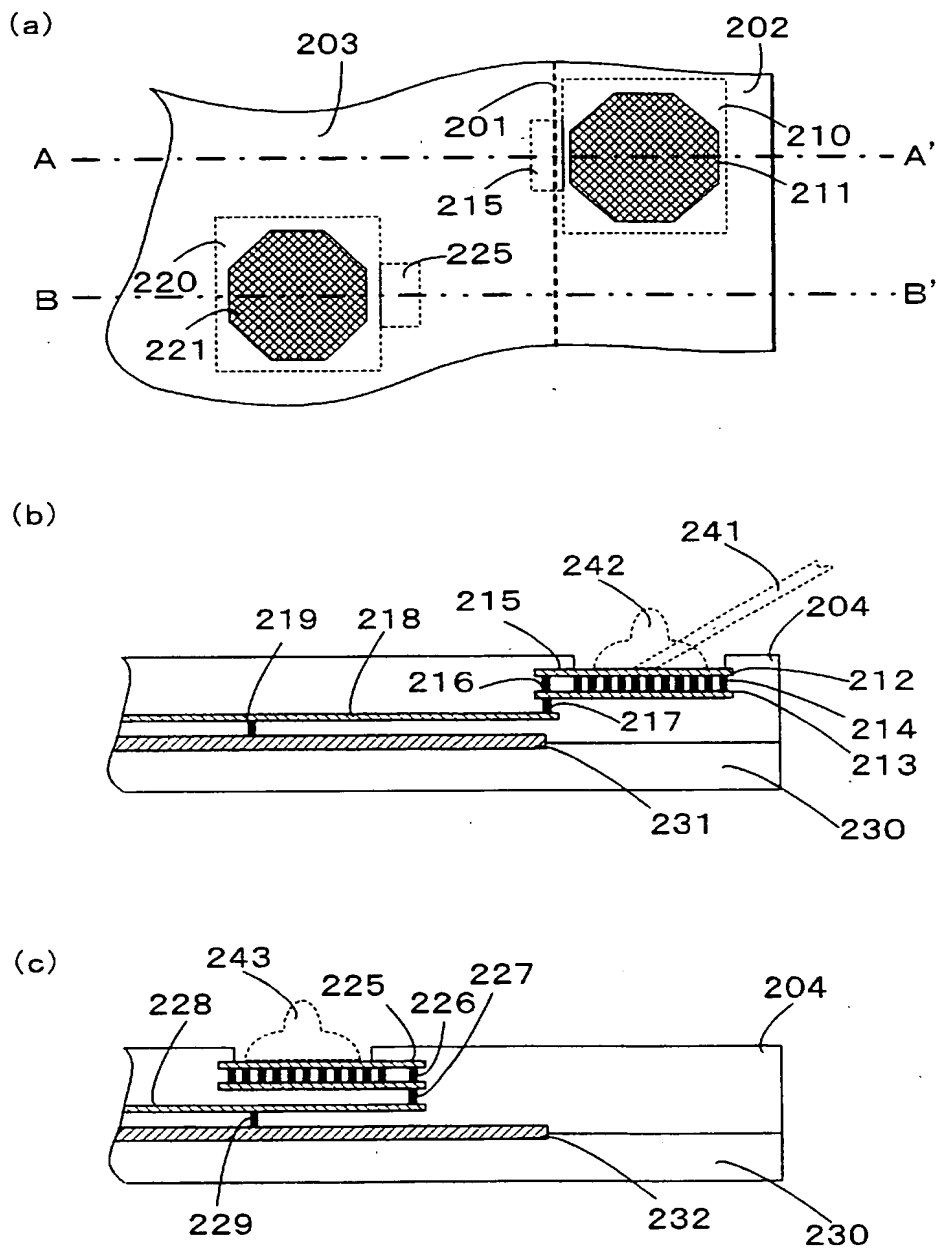
THIS PAGE BLANK (USPTO)

[図5]



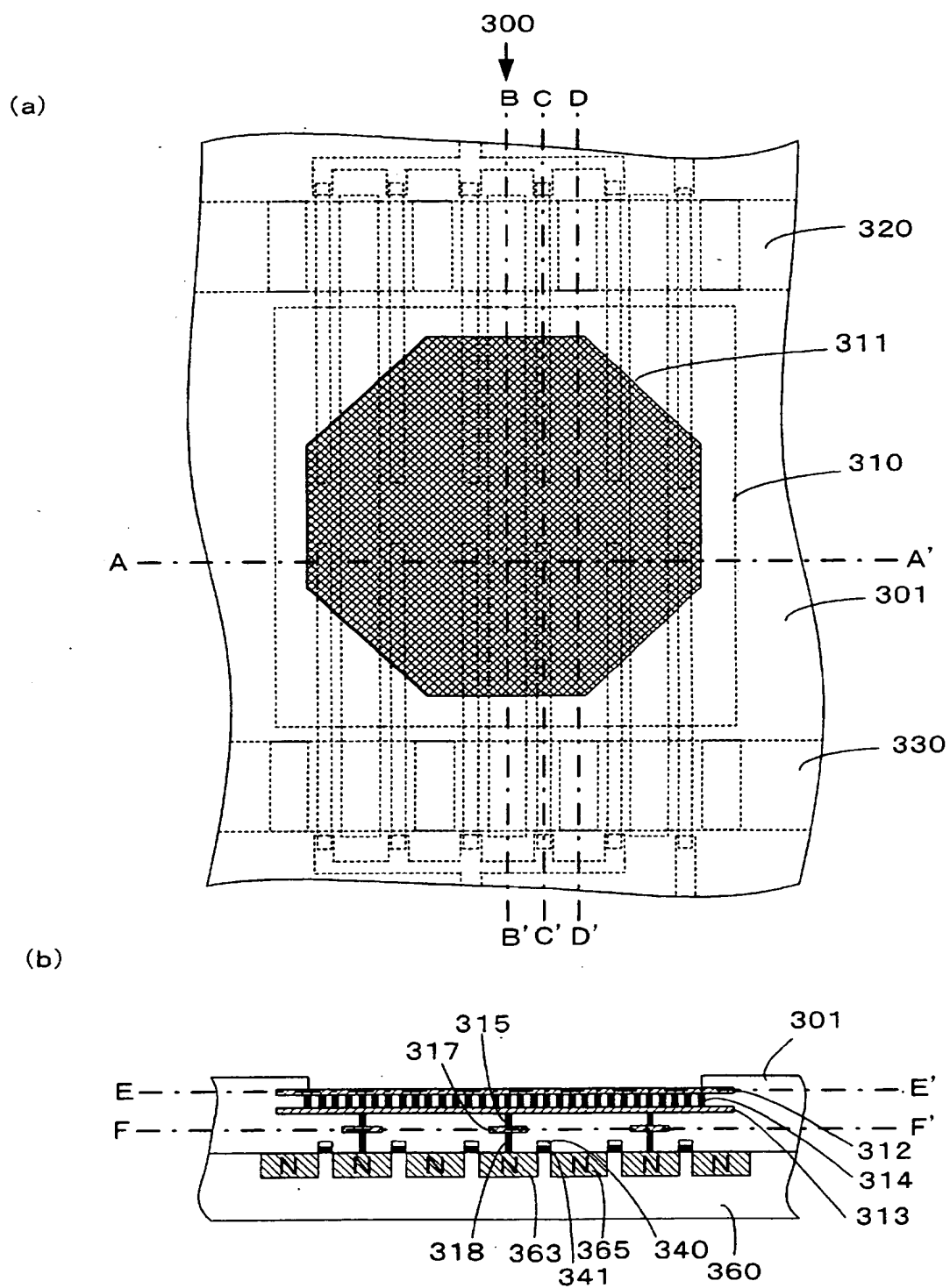
THIS PAGE BLANK (USPTO)

[図6]



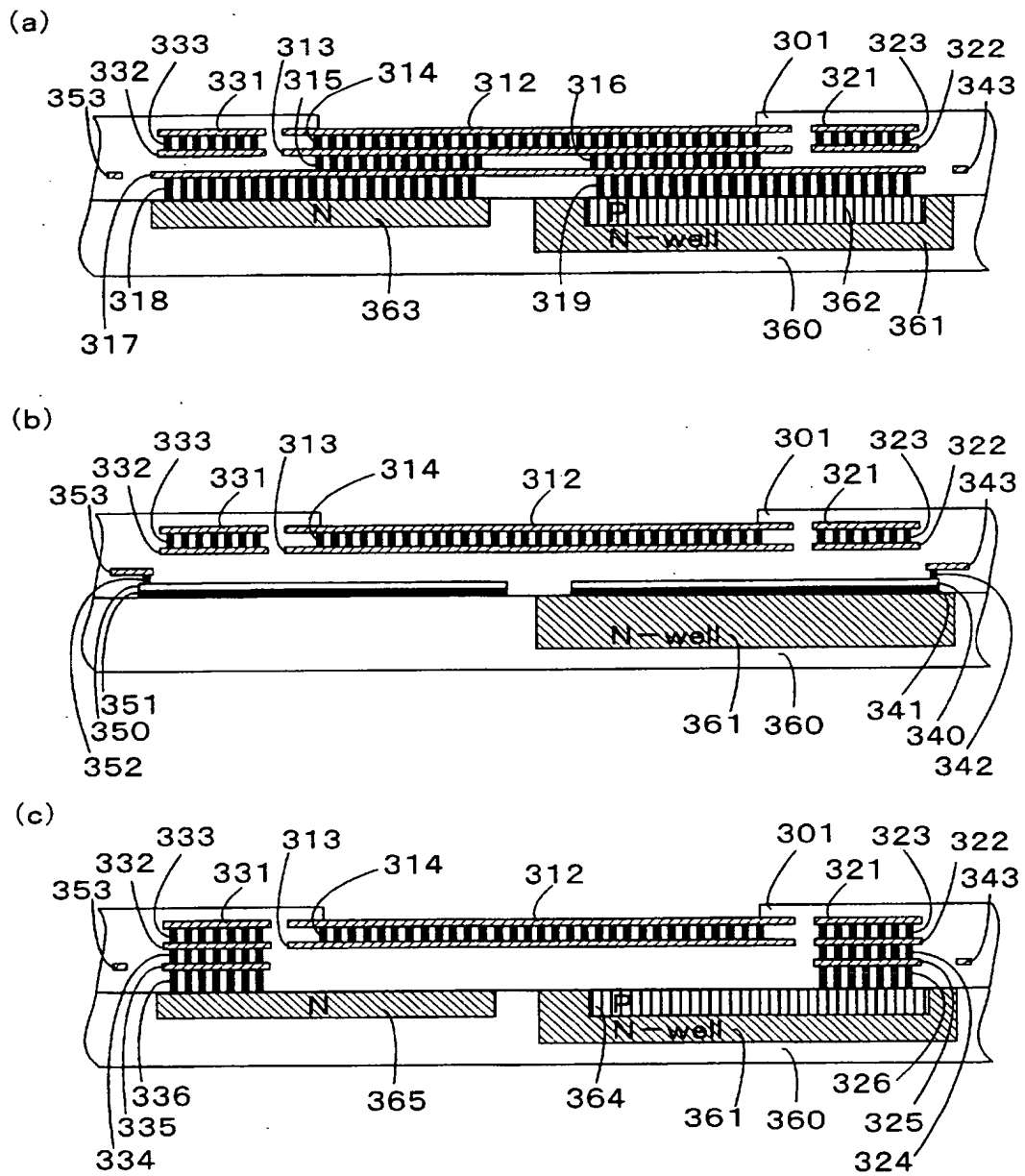
THIS PAGE BLANK (USPTO)

[図7]



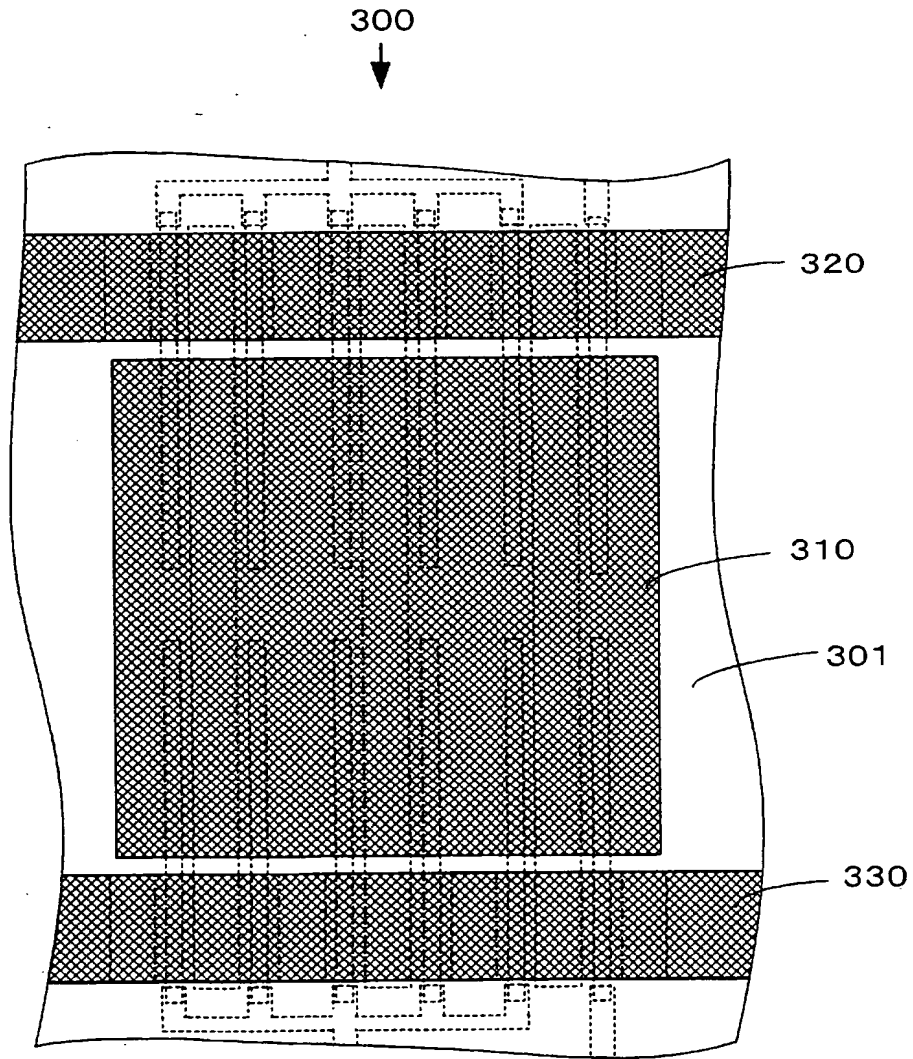
THIS PAGE BLANK (USPTO)

[図8]



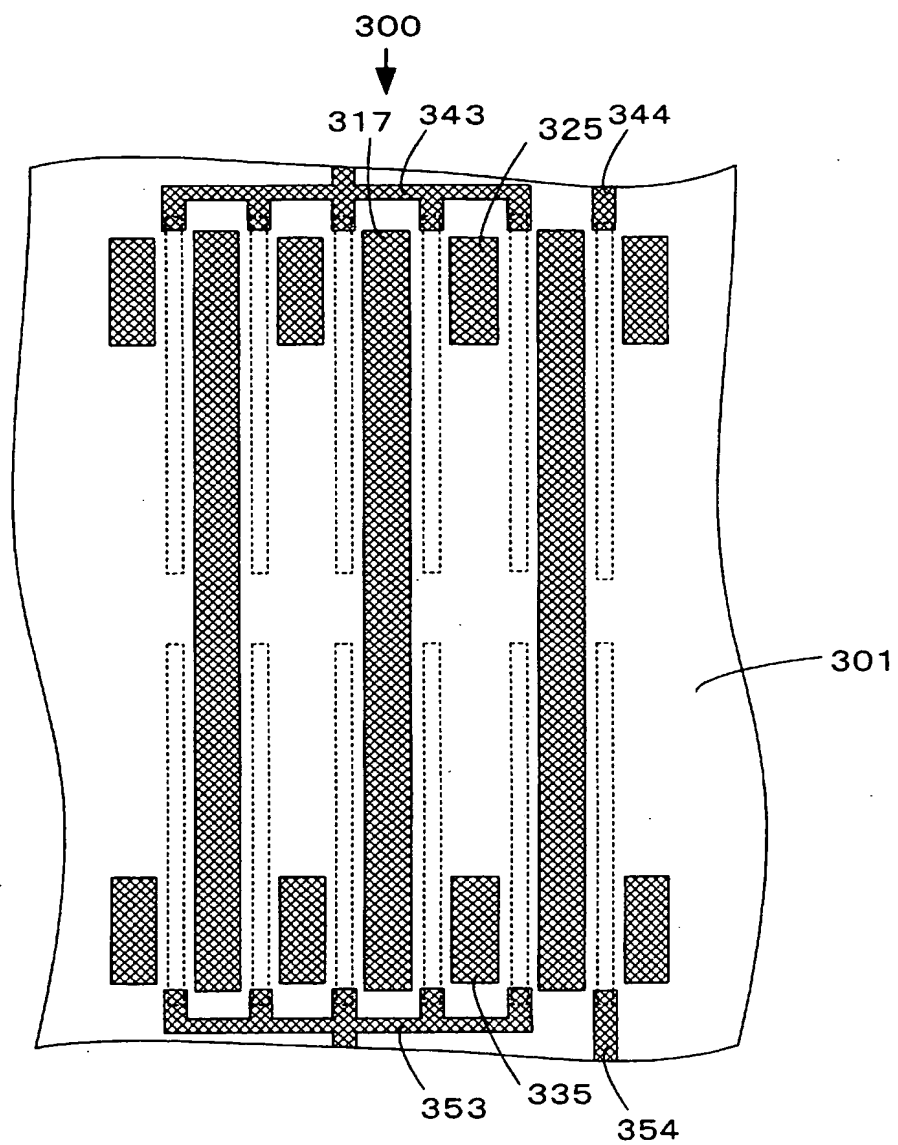
THIS PAGE BLANK (USPTO)

[図9]



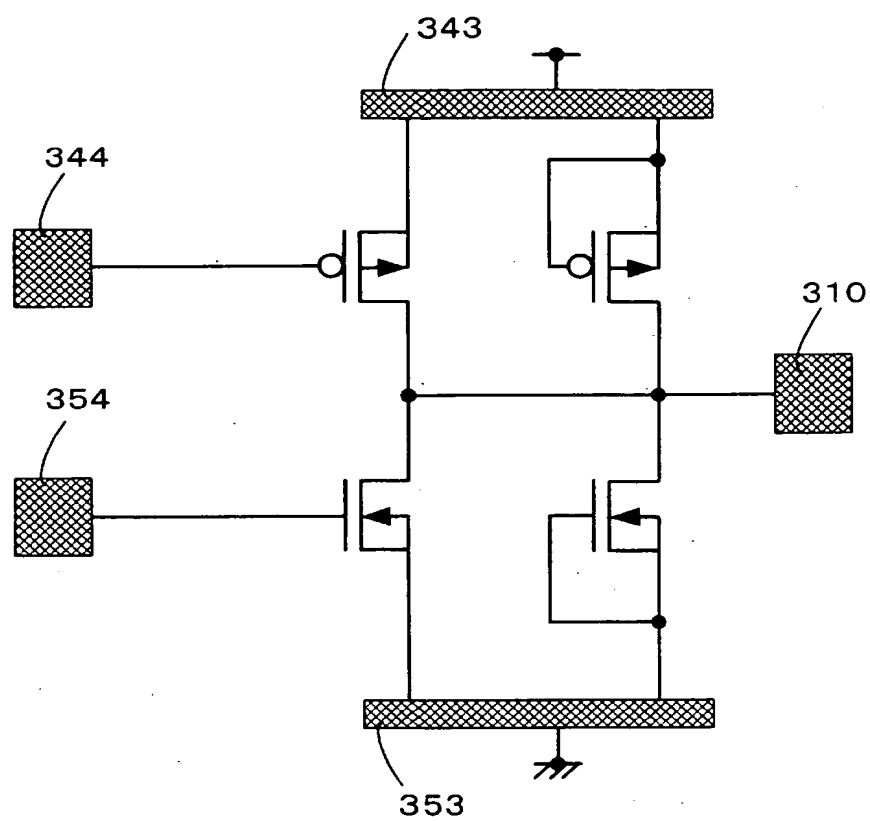
THIS PAGE BLANK (USPTO)

[図10]



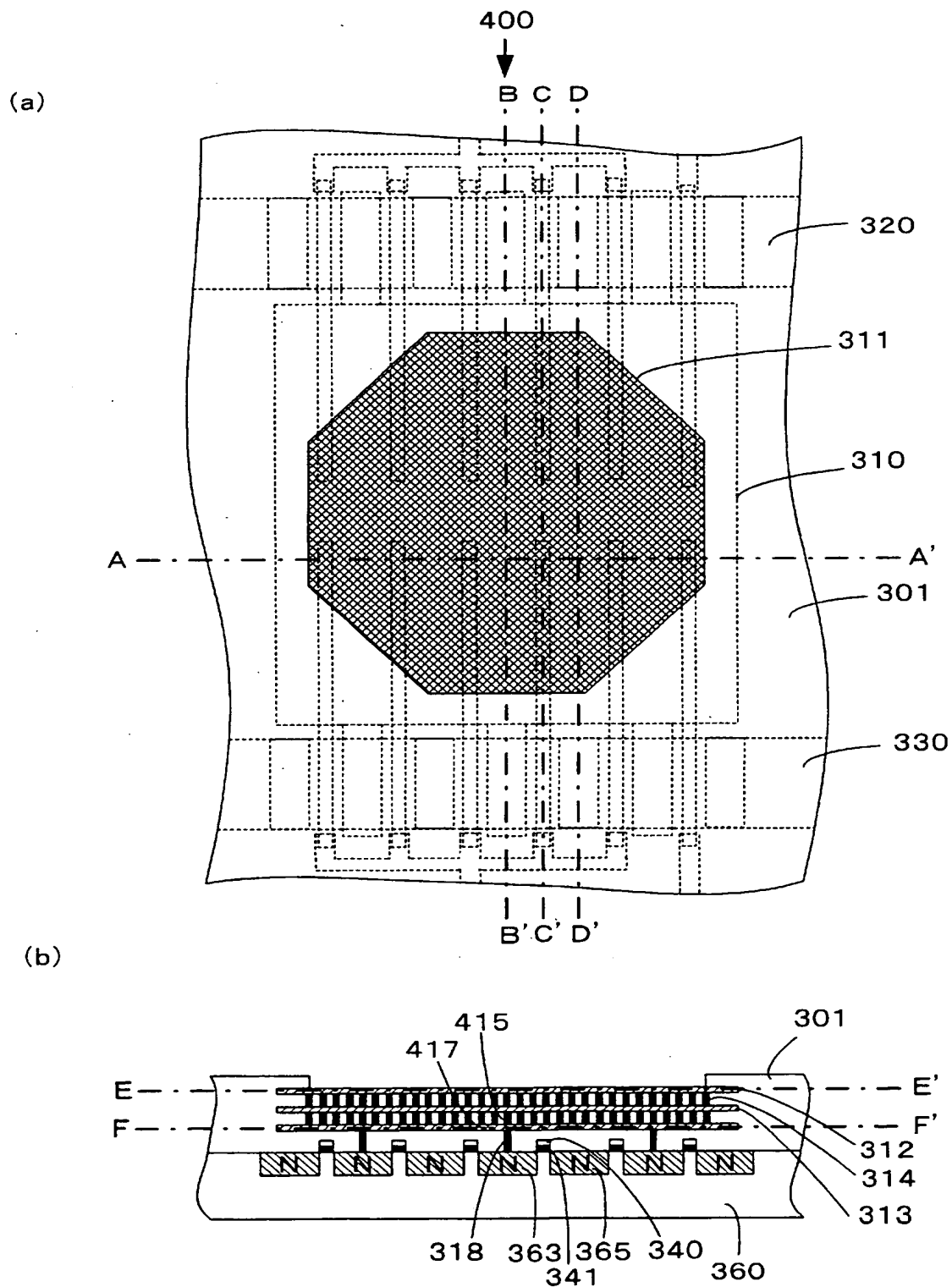
THIS PAGE BLANK (USPTO)

[図11]



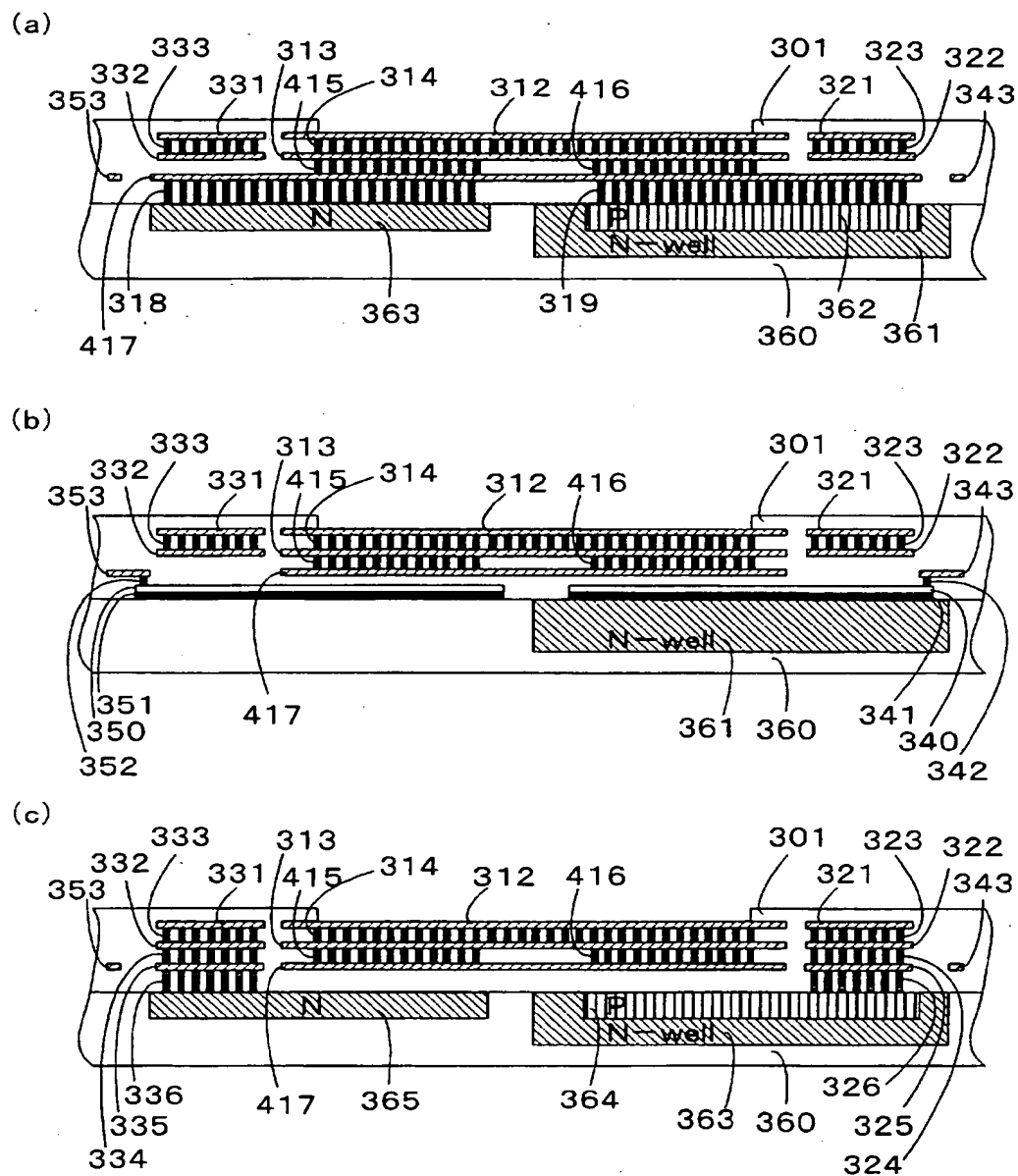
THIS PAGE BLANK (USPTO)

[図12]



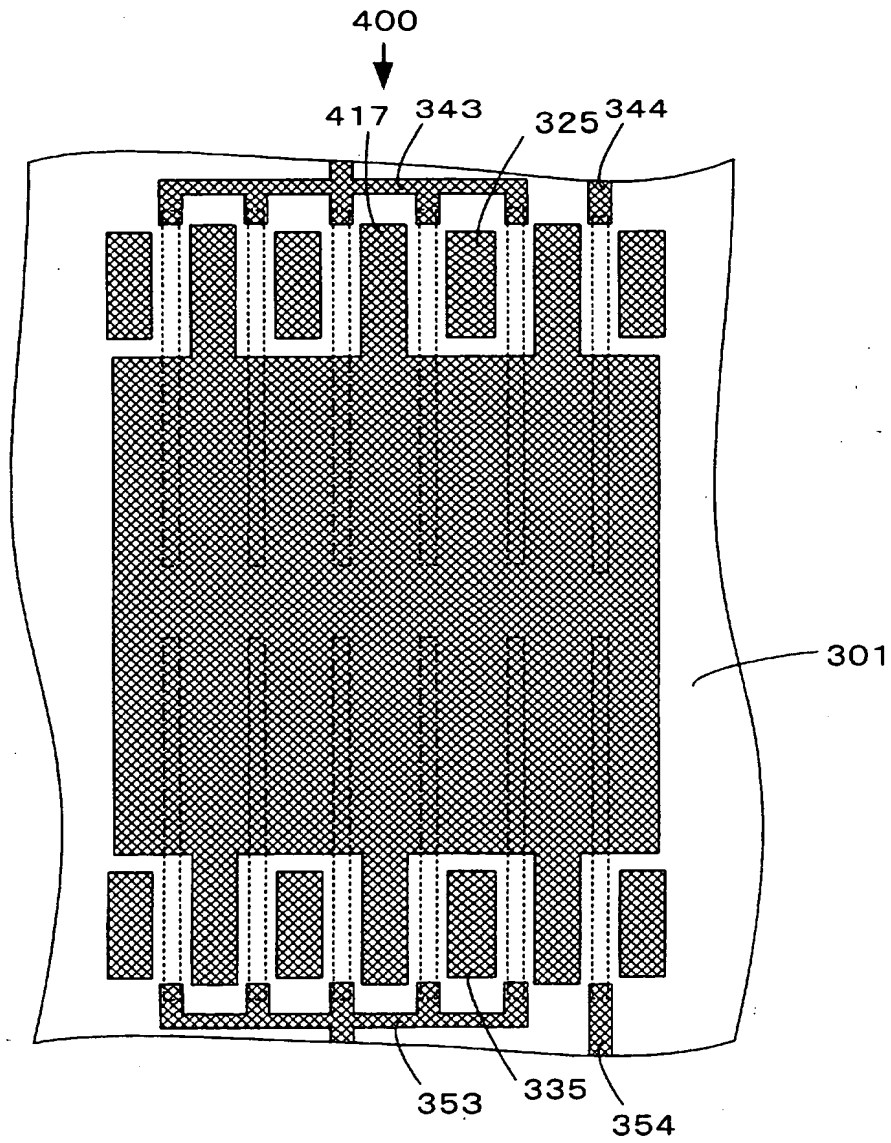
THIS PAGE BLANK (USPTO)

[図13]



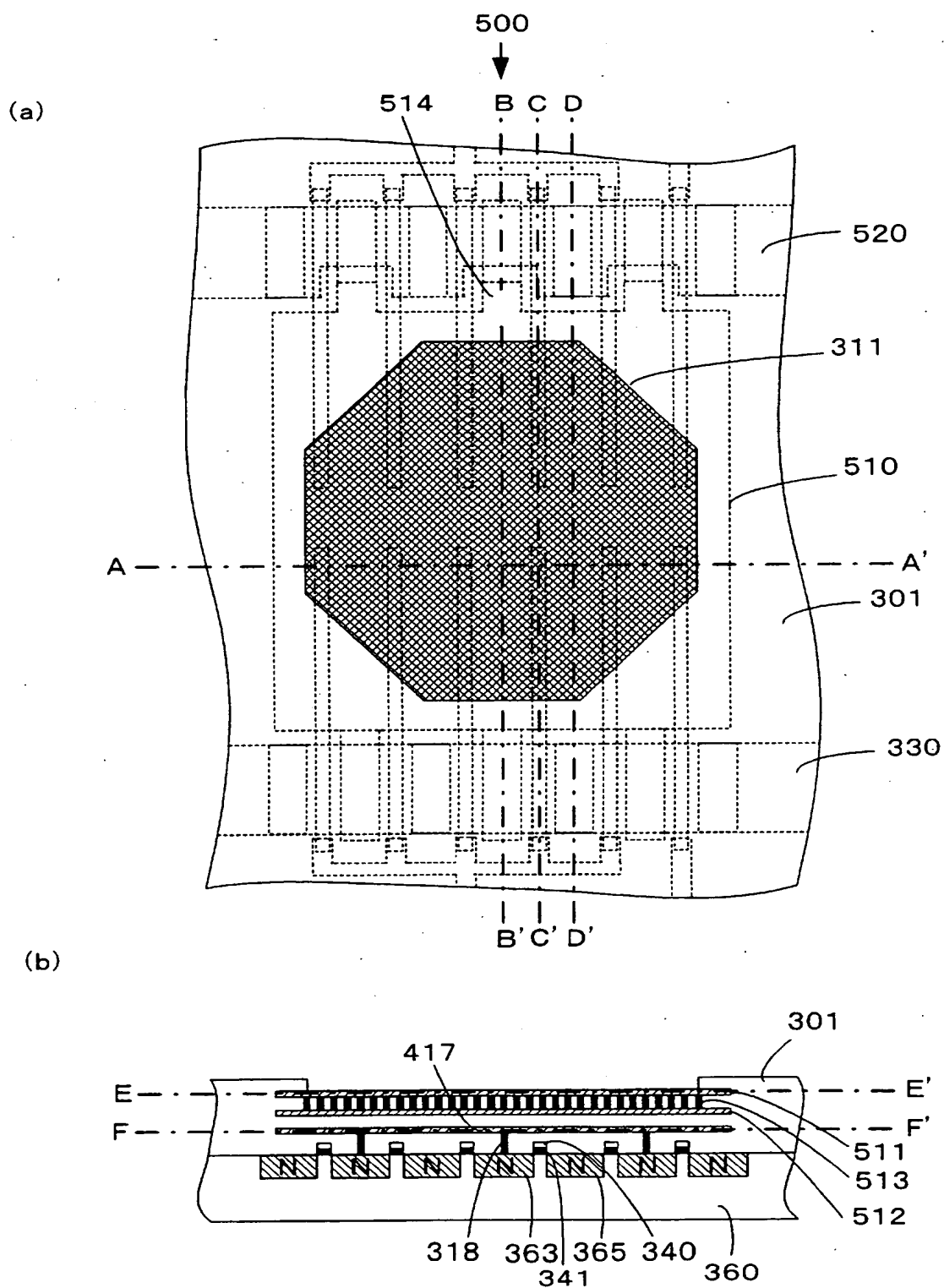
THIS PAGE BLANK (USPTO)

[図14]



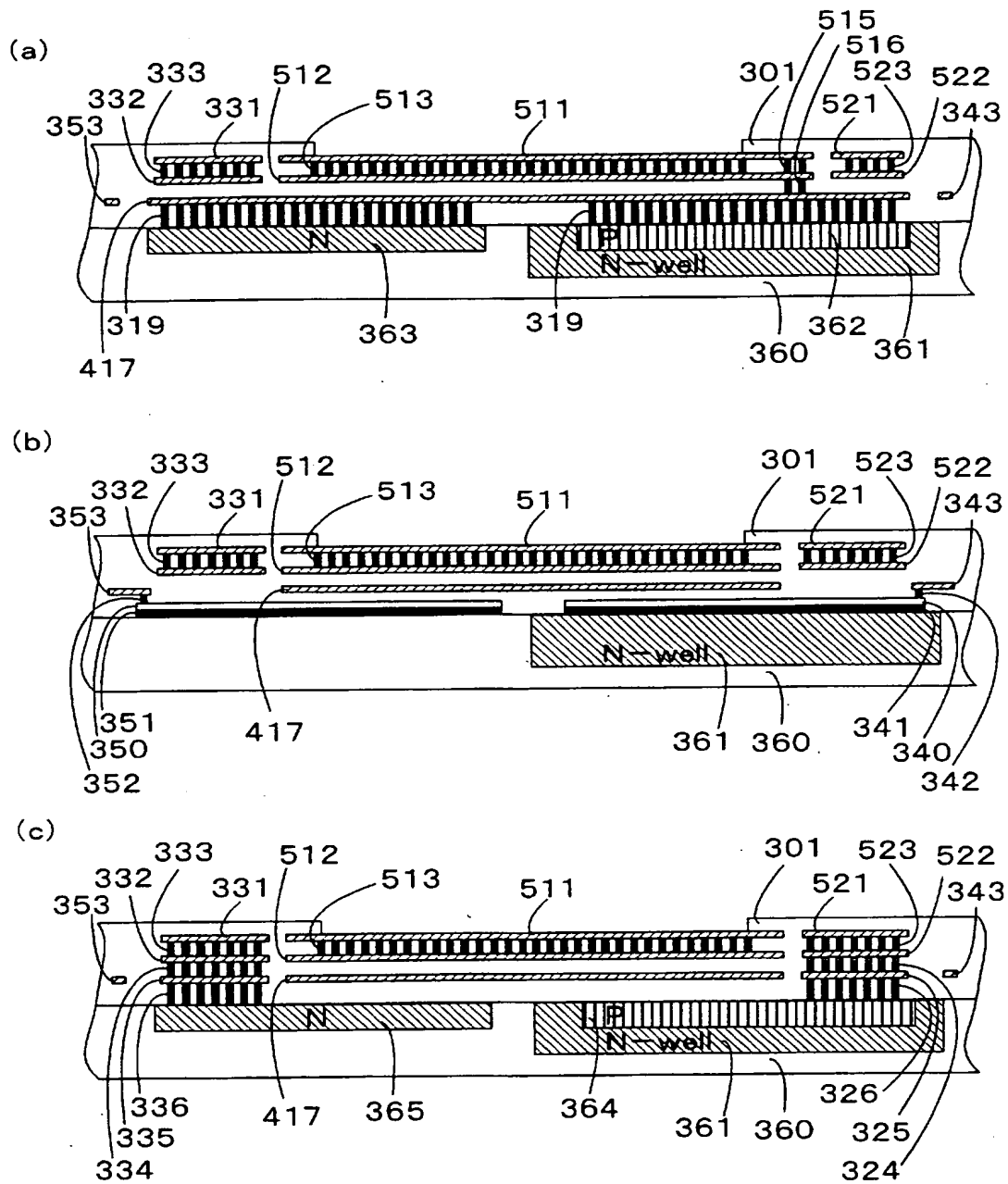
THIS PAGE BLANK (USPTO)

[図15]



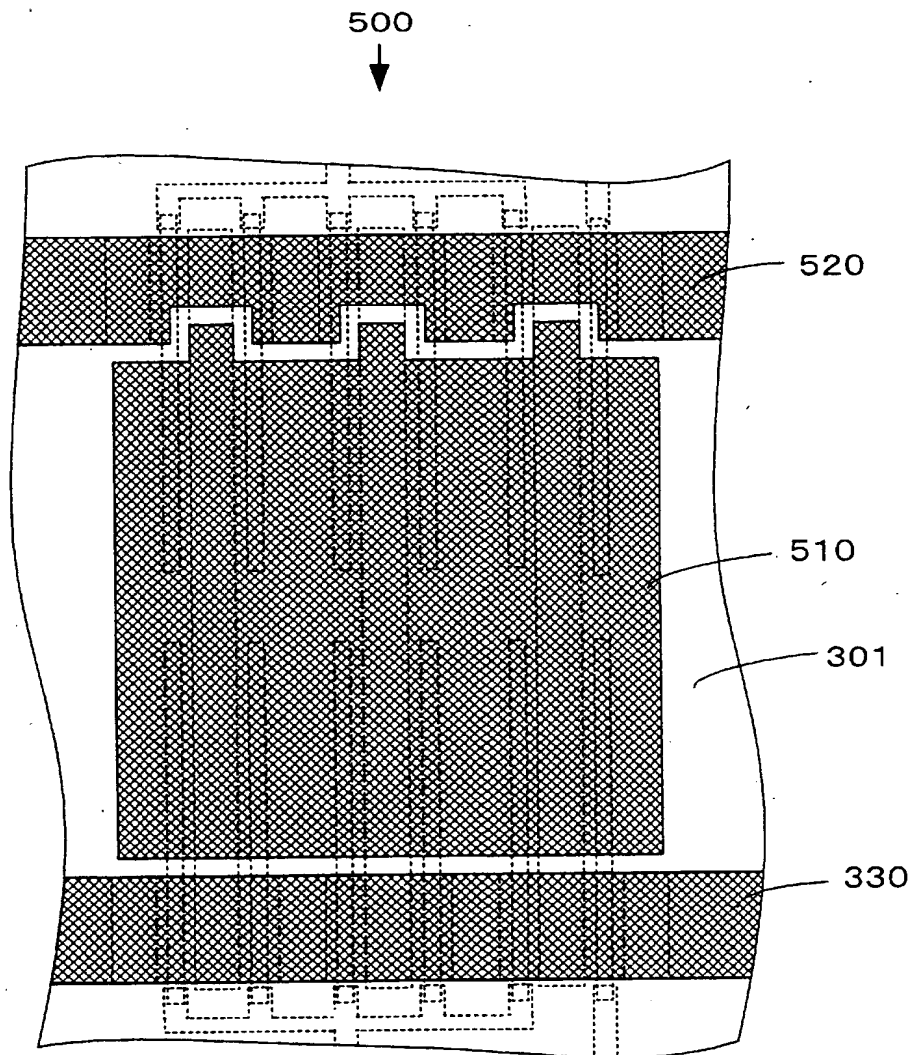
THIS PAGE BLANK (USPTO)

[図16]



THIS PAGE BLANK (USPTO)

[図17]



THIS PAGE BLANK (USPTO)